

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-95623

(43)公開日 平成 6年(1994) 4月 8日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7319-5G		
G 0 2 F 1/133	5 2 0	9226-2K		
	5 5 0	9226-2K		
	5 7 5	9226-2K		
G 0 9 G 3/20	J	8729-5G		

審査請求 未請求 請求項の数 2 (全 17 頁)

(21)出願番号 特願平4-248024

(22)出願日 平成 4年(1992) 9月17日

(71)出願人 00005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 藤田 昌也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 三輪 裕一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 青木 朗 (外 3名)

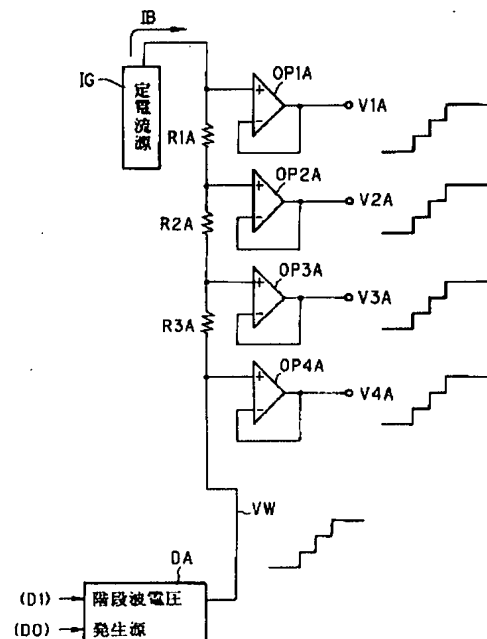
(54)【発明の名称】 液晶表示装置の基準電源回路

(57)【要約】

【目的】 本発明は、多階調表示に適応される液晶表示装置 (LCD) に用いられる基準電源回路の構成に関し、該基準電源回路の構成を簡素化し、ひいてはコストの低減と実装の小型化を実現することを目的とする。

【構成】 複数の抵抗器 R1A~R3Aが直列に接続された抵抗ストリングと、抵抗ストリングの一端に接続された定電流源 IGと、抵抗ストリングの他端に接続された階段波電圧発生源 DAと、抵抗ストリングの各抵抗器の接続点の電位にそれぞれ応答して基準電圧 V1A~V4Aをそれぞれ発生する複数のオペアンプ OP1A~OP4Aとを具備し、該基準電圧は、画像データの上位ビット群に対しては前記定電流源から供給される定電流 IBにより規定される固定の基準電圧に基づいて作成され、下位ビット群に対しては階段波電圧 VWを前記固定の基準電圧に加算することにより作成されるように構成する。

本発明の一形態による液晶表示装置の基準電源回路の原理構成図



【特許請求の範囲】

【請求項1】 画像データの上位ビット群に対しては固定の複数種類の基準電圧の中から上位ビット群に対応した電圧を選択し、該画像データの下位ビット群に対しては前記固定の複数種類の基準電圧に階段波電圧を加算して該基準電圧を変化させた各電圧値の中から下位ビット群に対応した電圧を選択し、該選択した基準電圧をデータラインの分布容量に画像データ電圧として保持させることで階調制御を行う液晶表示装置において、複数の抵抗器（R1A～R3A）が直列に接続された抵抗ストリングと、該抵抗ストリングの一端に接続された定電流源（IG）と、前記抵抗ストリングの他端に接続された階段波電圧発生源（DA）と、前記抵抗ストリングの各抵抗器の接続点の電位にそれぞれ応答して前記データラインに供給されるべき基準電圧（V1A～V4A）をそれぞれ発生する複数のオペアンプ（OP1A～OP4A）とを具備し、該オペアンプから発生される各基準電圧は、前記画像データの上位ビット群に対しては前記定電流源から供給される定電流（IB）を前記各抵抗器に流して得られる固定の基準電圧に基づいて作成され、該画像データの下位ビット群に対しては前記階段波電圧発生源から発生される階段波電圧（VW）を前記固定の基準電圧に加算することにより作成されることを特徴とする液晶表示装置の基準電源回路。

【請求項2】 画像データの上位ビット群に対しては固定の複数種類の基準電圧の中から上位ビット群に対応した電圧を選択し、該画像データの下位ビット群に対しては前記固定の複数種類の基準電圧に階段波電圧を加算して該基準電圧を変化させた各電圧値の中から下位ビット群に対応した電圧を選択し、該選択した基準電圧をデータラインの分布容量に画像データ電圧として保持させることで階調制御を行う液晶表示装置において、複数の抵抗器（R1B～R3B）が直列に接続された抵抗ストリングと、階段波電圧発生源（DA）と、前記抵抗ストリングの一端に接続され、固定の第1の基準電圧（VRA）に前記階段波電圧発生源から発生される階段波電圧（VW）を加算する手段（A1）と、前記抵抗ストリングの他端に接続され、前記第1の基準電圧とは異なる固定の第2の基準電圧（VRB）に前記階段波電圧を加算する手段（A2）と、前記抵抗ストリングの各抵抗器の接続点の電位にそれぞれ応答して前記データラインに供給されるべき基準電圧（V1B～V4B）をそれぞれ発生する複数のオペアンプ（OP1B～OP4B）とを具備し、該オペアンプから発生される各基準電圧は、前記画像データの上位ビット群に対しては前記第1および第2の基

準電圧に基づいて作成され、該画像データの下位ビット群に対しては前記階段波電圧を該第1および第2の基準電圧に加算することにより作成されることを特徴とする液晶表示装置の基準電源回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置（LCD）に係り、特に、多階調表示に適応されるLCDに用いられる基準電源回路の構成に関する。LCDは、従来のCRTを代替する表示装置として期待されており、大規模市場に発展することが予想されている。そのため、その技術開発は盛んに行われている。その中でも特に、薄膜トランジスタ（TFT；Thin Film Transistor）を用いたLCDは原理的に高品質の表示が可能であり、しかも表示速度が速いことから、高速且つ高画質のカラー表示用ディスプレイの主流になることが期待されている。

【0002】

【従来の技術】TFTを用いたLCDでは、TFTをスイッチング素子として用い、画素毎の液晶容量に対応するTFTを介して画像データ信号の大きさに比例したアナログ電圧信号（情報）を書き込むことにより、画像表示を行う。図9に従来形の一例としてのLCDの構成が示され、図10にはその要部の構成が示される。

【0003】図示の例では、表示制御形態としてデジタル・ドライバ方式を用いたTFT型LCDの構成が示され、また、説明の簡単化のために画素数を4×4として示してある。実際には、画素数は640×480程度が典型例であり、しかもカラー表示のためには赤

（R）、緑（G）および青（B）の別に画素を持つ必要があるため、さらに3倍の画素数を必要とする。

【0004】図中、10は液晶表示部（液晶パネル）を示し、その中のP11～P44が画素と称する最小の表示単位を表している。各画素P11～P44は、図12に示すように、複数のデータラインX1～X4と複数のゲートラインY1～Y4の交差部に配設され、対応するゲートラインが選択された時に対応するデータライン上の電圧情報を伝達するトランスファゲート用トランジスタ（TFT）と、対応するTFTを介して伝達された情報を記憶する液晶容量とから成っている。この図で横方向の画素の並び（例えばP11～P14）を一ラインと称し、LCDへの表示用のデータはこの一ライン毎に書き込まれ、それを一秒間に60回程度繰り返して、人の目にはちらつきのない画像として見せる。

【0005】図9において、HSは水平同期信号、VSは垂直同期信号、D1～DNは画像データ、そしてCLKは該画像データと同期して与えられるタイミング信号（クロック）を示す。なお、Nは階調表示するためのビット数を表す。また、クロックCLKは、水平同期信号HSの周期を計測して内部で生成することが可能であ

3

り、インタフェースとして本質的に必要とするものではない。

【0006】40AはLCS全体を制御する制御回路を示し、水平同期信号HS、垂直同期信号VSおよびクロックCLKに応答して画像データD1～DNの書き込みのための各種制御信号を発生する。また、50Aは複数の種類の基準電圧V1～VMを発生する基準電源回路を示す。20Aはデータドライバを示し、シフトレジスタ21と、それぞれNビットの容量を持つメモリ61～64と、同じくNビットの容量をそれぞれ有するメモリ71～74は、デコーダ81～84と、セクタ91～94とを有し、通常の形態として集積回路化されている。なお、基準電源回路50Aは、通常、集積回路の中には含まれない。それは、LCDで必要とするデータドライバ20Aは通常複数個のICで構成するのに対して、基準電源回路50Aは共通に一個設けられていればよいからである。

【0007】データドライバ20Aにおいて、シフトレジスタ21は、1ライン毎に制御回路40Aから供給されるスタート信号T1により動作を開始し、同じく制御回路40Aから供給されるクロックCK1により歩進してタイミング信号TS1～TS4を生成する。メモリ61～64は、制御回路40Aを通して供給される表示用のデータDT1～DTNをそれぞれタイミング信号TS1～TS4に응答して取り込む（つまりデータの書き込み）。また、メモリ71～74は、メモリ61～64にデータが書き込まれた後、次のラインのデータが到来する前に該メモリ61～64内のデータを制御回路40Aからのタイミング信号T2に응答して取り込む（データの書き込み）。デコーダ81～84は、それぞれメモリ71～74に蓄積されたデジタル・データをデコードする。セクタ91～94は、対応するデコーダ81～84のデコード結果に基づき、基準電源回路50Aから出力される複数種類の基準電圧V1～VMのいずれかを選択出力する。つまりセクタ91～94は、メモリ71～74に蓄積されたデジタル・データに対応したアナログ信号を発生させるための一種のデジタル・アナログ変換回路として機能する。このようにしてV1～VMのM種の電圧のいずれかが選択され、データラインX1～X4に出力される。M種の基準電圧V1～VMとメモリ71～74に蓄積されたNビットのデータとの関係は、データが2進数の場合、 $M=2^N$ で表される。例えばN=3の場合はM=8、N=4の場合はM=16となる。

【0008】30はゲートドライバを示し、シフトレジスタ31と、各ゲートラインY1～Y4に対応して設けられたドライバDV1～DV4とから構成されている。シフトレジスタ31は、制御回路40Aから供給されるスタート信号T3により動作を開始し、同じく制御回路40Aから供給されるクロックCK2により歩進して液

4

晶パネル10の1ライン毎のTF Tを駆動するための信号を順次発生する。なお、スタート信号T3は垂直同期信号VSと同じ周期を有し、クロックCK2は水平同期信号HSと同じ周期を有する。ドライバDV1～DV4は、シフトレジスタ31の出力からTF Tのオンとオフを制御できる電圧にレベル変換を行い、それぞれ対応するゲートラインY1～Y4に出力する2値出力回路として機能する。これによって、アナログスイッチであるTF Tのゲート電圧を制御してスイッチ機能をオン・オフすることができ、データドライバ20Aから出力されるデータラインX1～X4上の画像データの信号電圧を1ライン毎にTF Tを通して液晶容量に書き込むことができる。

【0009】図10は、図9におけるデコーダ81およびセクタ91の部分の詳細を示したものである。図示の構成は、デコーダ81が対応するメモリ71に蓄積されたデジタル・データD0～D3をデコードし、そのデコード結果に基づきセクタ91の中の1個のアナログスイッチのみをオンにして基準電圧V1～V16の中から1つの電圧を選択する例を示している。つまりこの場合は、前述のNが4の場合に相当している。

【0010】図9および図10に示す例では説明の簡化のために画素数を 4×4 として示してあるが、前述したように実際のLCDにおいては横方向に640、縦方向に480ライン程度の合計 $640 \times 480 = 307200$ 画素を駆動するのが典型例であり、このためのデータドライバは極めて大規模なものを必要とする。しかもカラー表示のためには赤（R）、緑（G）および青

（B）の別に画素を持つ必要があるので、画素数の合計はこの3倍となる。さらにカラー表現をフルカラーに近づけるための階調制御を行うためには、図9で説明したデータドライバのビット数を増やす必要がある。例えば、図10の構成ではビット数が4（D0～D3）、電圧値が16（V1～V16）のデータドライバとしたが、さらに 640×480 画素のフルカラーを表現するためには、各色の必要とする階調数は64となりアナログスイッチの数は64個必要となり、結局、 $64 \times 3 \times 640 = 122880$ 個のアナログスイッチを必要とすることになる。また、これに応じてデータドライバの外部から与える基準電圧の種類も64種類必要となる。さらに階調数を増やすためのメモリ61～64、メモリ71～74、デコーダ81～84等のデジタル回路の規模が大きくなることは言うまでもない。

【0011】このように、従来のLCDではデータドライバの階調数の増大に伴う種々の問題点があった。これに鑑み、本件発明者は以前、このような問題点を解消する新規なデータドライバ回路を提供した。その一構成例は図11に示される。また、図12にはその要部の構成が示され、さらに図13にはデータライン上の電圧波形例を含む動作タイミング図が示される。

5

【0012】まず図11を参照すると、データドライバ20Bにおいて、シフトレジスタ21は、1ライン毎に制御回路40Bから供給されるスタート信号T1により動作を開始し、同じく制御回路40Bから供給されるクロックCK1により歩進してタイミング信号TS1~TS4を生成する。メモリ61~64は、制御回路40Bを通して供給される1ライン分のNビットの画像データDT1~DTNをそれぞれタイミング信号TS1~TS4に応答して保持する。この際、画像データは上位ビット群DTQ~DTNと下位ビット群DT1~DTPに分けられて書き込まれる。次いで、メモリ71~74は、メモリ61~64にデータが書き込まれた後、次のラインのデータが到来する前に該メモリ61~64内のデータを制御回路40Bからのタイミング信号T2に응答して取り込む。デコーダ81A~84Aは、それぞれメモリ71~74に蓄積された上位ビット群のデータDTQ~DTNをデコードする。次いでセクタ91~94は、対応するデコーダ81A~84Aのデコード結果に基づき、基準電源回路50Bから出力される4種類の基準電圧のいずれかを選択出力する。このようにして選択出力された基準電圧に対応する画像データは、アナログスイッチS1~S4を介してそれぞれ対応するデータラインX1~X4に出力される。この時、基準電源回路50Bから発生される基準電圧V1A~V4A(図12参照)は直流であり、この直流電圧で各データラインの分布容量を充電する。なお、各スイッチS1~S4は各データライン毎に設けられた1ビットのメモリB1~B4によりそれぞれ制御され、また各メモリB1~B4は1ライン時間の最初に制御回路40Bから供給されるタイミング信号T4によりそれぞれセットされ、これによって各スイッチS1~S4はオンとされる。ここまでの動作形態は、前述した従来例(図9、図10参照)と同じであり、図13に示す時点t1までの動作に対応している。

【0013】図11~図13の例では、この時点t1以降に、第2のメモリ71~74に蓄積された下位ビット群のデータDT1~DTPを使用してデータラインへ送出するデータを更に変化させるようにしている。このために、基準電源回路50B内にカウンタ51とデジタル/アナログ(D/A)変換回路52を備え、カウンタ51をタイミング信号T2でクリアしてクロックCK3により歩進させ、さらにD/A変換回路52を通すことにより階段波電圧を生成し、この階段波電圧を直流の基準電圧VR1~VR4に加算して各データラインへ送出する。この場合の波形例は図13に示されている。

【0014】第2のメモリ71~74内の下位ビット群のデータDT1~DTPは、それぞれ対応する比較回路C1~C4に入力され、カウンタ51に出力と比較される。この比較結果に基づき両者が一致した時、一致信号がそれぞれ対応するメモリB1~B4に出力され、これ

6

によって該メモリはリセットされる。この時、各スイッチS1~S4はオフとされ、その時点での基準電圧がデータライン上の分布容量へ保持され、この後はこの分布容量に保持された電荷によりTFTを通して液晶容量への充電が行われることになる。このようにして各データラインの画像データに対応した電圧がデータラインへ与えられることになる。データライン上の分布容量の値は、データラインおよび対向電極の間に存在する液晶を誘電体とした容量と、データラインおよびゲートラインの交差部の絶縁物を誘電体とした容量との合計値により本質的に形成されるものである。この値は、10.4インチの液晶パネルで640×480画素の場合、100pF程度が典型値である。一方、液晶容量は1pF程度以下であり、電荷の移動による電圧の変化は実用上は問題を生じない。それはt1の時点までには、液晶容量はTFTを通して既に最終値に近い値まで充電が行われており、残りの電圧をデータラインの分布容量に蓄積された電荷により充電すればよいからである。

【0015】図12は、デコーダ81A、基準電源回路50B、セクタ91~94および液晶パネル10の部分の詳細を示したものである。図示の構成は、4種類の基準電圧V1A~V4Aと各セクタ91~94内の4個のアナログスイッチとにより16値の階調を持たせる場合を示している。この構成から、前述の従来例(図9、図10参照)よりも大幅な回路の削減が可能であることが分かる。特に、デコーダ81Aの構成を図10のデコーダ81の構成と比較してみると、その削減の効果を見ることができる。これを可能とするために基準電源回路50Bが大きな役割を担っている。つまり基準電源回路50Bは、前述したように固定の基準電圧値VR1~VR4に階段波電圧を加算する機能を有している。従って、この基準電源回路を少ない部品数で実現することが出来れば、好適である。

【0016】図14には従来形の一例としての基準電源回路の構成が示される。図示の回路では、まず基準電圧-V Aを抵抗器R1~R5により分圧して4種類の基準電圧-V R1~-V R4を作成し、この電圧をオペアンプOP11~OP14により低インピーダンス化した後、D/A変換回路DAからオペアンプOPAを通して出力される階段波電圧-V Wを、オペアンプOP21~OP24と抵抗器R61~R64、R71~R74およびR81~R84を用いて加算することにより、図12の基準電源回路50Bの機能を実現している。ここで、各抵抗器R61~R64、R71~R74およびR81~R84は同一の抵抗値とするのが一般的である。また、オペアンプOPAとそれに係る抵抗器RAおよびRBは、階段波電圧-V Wを負の値として基準電圧出力V1A~V4Aが正の電圧となるようにするための電圧反転回路を構成する。

【0017】図15には従来形の他の例としての基準電

7

源回路の構成が示される。図14に示した回路との相違点は、基準電圧を+VAの正の電圧にし、さらにD/A変換回路DAからの階段波電圧も正の電圧VWにし、オペアンプOP21~OP24と抵抗器R61~R64およびR71~R74を用いて基準電圧VR1~VR4と階段波電圧VWの加算を行っていることである。最終段のオペアンプOP21~OP24は、上記電圧加算の結果により電圧が減衰するのを防止するために電圧増幅を行う非反転型増幅回路を構成している。この場合、各オペアンプOP21~OP24の利得は、抵抗器R81A~R84Aと抵抗器R91~R94により決定される。

【0018】

【発明が解決しようとする課題】上述した従来の構成では、図11~図13に示す多階調制御の形態がフルカラーの表現のためには優れた手法であるにもかかわらず、基準電源回路において固定の基準電圧と階段波電圧を加算する回路の規模が比較的大きくなってしまいう課題があった。これは、LCD全体の装置規模を増大させ、ひいてはコストの上昇と実装の大型化にもつながるので、好ましくない。

【0019】本発明の目的は、かかる従来技術における課題に鑑み、多階調表示に適応される液晶表示装置(LCD)において基準電源回路の構成を簡素化し、ひいてはコストの低減と実装の小型化を実現することにある。

【0020】

【課題を解決するための手段】上記課題を解決するため、本発明の一形態によれば、図1の原理構成図に示されるように、画像データの上位ビット群に対しては固定の複数種類の基準電圧の中から上位ビット群に対応した電圧を選択し、該画像データの下位ビット群に対しては前記固定の複数種類の基準電圧に階段波電圧を加算して該基準電圧を変化させた各電圧値の中から下位ビット群に対応した電圧を選択し、該選択した基準電圧をデータラインの分布容量に画像データ電圧として保持させることで階調制御を行う液晶表示装置において、複数の抵抗器R1A~R3Aが直列に接続された抵抗ストリングと、該抵抗ストリングの一端に接続された定電流源IGと、前記抵抗ストリングの他端に接続された階段波電圧発生源DAと、前記抵抗ストリングの各抵抗器の接続点の電位にそれぞれ応答して前記データラインに供給されるべき基準電圧V1A~V4Aをそれぞれ発生する複数のオペアンプOP1A~OP4Aとを具備し、該オペアンプから発生される各基準電圧は、前記画像データの上位ビット群に対しては前記定電流源から供給される定電流IBを前記各抵抗器に流して得られる固定の基準電圧に基づいて作成され、該画像データの下位ビット群に対しては前記階段波電圧発生源から発生される階段波電圧VWを前記固定の基準電圧に加算することにより作成されることを特徴とする液晶表示装置の基準電源回路が提供される。

8

【0021】また、本発明の他の形態によれば、図3の原理構成図に示されるように、画像データの上位ビット群に対しては固定の複数種類の基準電圧の中から上位ビット群に対応した電圧を選択し、該画像データの下位ビット群に対しては前記固定の複数種類の基準電圧に階段波電圧を加算して該基準電圧を変化させた各電圧値の中から下位ビット群に対応した電圧を選択し、該選択した基準電圧をデータラインの分布容量に画像データ電圧として保持させることで階調制御を行う液晶表示装置において、複数の抵抗器R1B~R3Bが直列に接続された抵抗ストリングと、階段波電圧発生源DAと、前記抵抗ストリングの一端に接続され、固定の第1の基準電圧VR1Aに前記階段波電圧発生源から発生される階段波電圧VWを加算する手段A1と、前記抵抗ストリングの他端に接続され、前記第1の基準電圧とは異なる固定の第2の基準電圧VR2Bに前記階段波電圧を加算する手段A2と、前記抵抗ストリングの各抵抗器の接続点の電位にそれぞれ応答して前記データラインに供給されるべき基準電圧V1B~V4Bをそれぞれ発生する複数のオペアンプOP1B~OP4Bとを具備し、該オペアンプから発生される各基準電圧は、前記画像データの上位ビット群に対しては第1および第2の基準電圧に基づいて作成され、該画像データの下位ビット群に対しては前記階段波電圧を第1および第2の基準電圧に加算することにより作成されることを特徴とする液晶表示装置の基準電源回路が提供される。

【0022】

【作用】図1の構成によれば、必要とする固定の基準電圧の数より1つ少ない数の抵抗器R1A~R3Aを直列に接続してその一端に定電流源IGを接続し且つ他端に階段波電圧発生源DAを接続し、そして各抵抗器の接続点にオペアンプOP1A~OP4Aを接続して低インピーダンス変換と電力増強を行うようにしている。従って、従来形に比して少ない構成部品で目的とする機能、すなわち固定の基準電圧と階段波電圧を加算する機能を実現できる。つまり、基準電源回路の構成を簡素化することができる。これは、コストの低減と実装の小型化に大いに寄与する。

【0023】各オペアンプOP1A~OP4Aから発生される基準電圧V1A~V4Aはそれぞれ以下の通りである。なお、これに関して図2に各基準電圧の時間的な変化の様子が示される。

$$V4A = VW$$

$$V3A = R3A \times IB + VW$$

$$V2A = (R3A + R2A) \times IB + VW$$

$$V1A = (R3A + R2A + R1A) \times IB + VW$$

また、図3の構成によれば、必要とする固定の基準電圧の数より1つ少ない数の抵抗器R1B~R3Bを直列に接続してその両端に加算回路A1、A2をそれぞれ接続し、各々の加算回路には共通に1個備える階段波電圧発

生源DAの出力VWと固定の第1、第2の基準電圧VRA、VRBが入力され、そして図1の場合と同様にオペアンプOP1B～OP4Bを用いて低インピーダンス変換および電力増強を行うようにしている。従って、図1の形態と同様、少ない構成部品で目的とする機能を実現することができる。

【0024】この場合の各基準電圧V1A～V4Aはそれぞれ以下の通りである。なお、これに関して図4に各基準電圧の時間的な変化の様子が示される。

$$V4B = VRB + VW$$

$$V3B = VRB + VW + R3B \times (VRA - VRB) / (R1B + R2B + R3B)$$

$$V2B = VRA + VW - R1B \times (VRA - VRB) / (R1B + R2B + R3B)$$

$$V1B = VRA + VW$$

なお、本発明の他の構成上の特徴および作用の詳細については、添付図面を参照しつつ以下に記述される実施例を用いて説明する。

【0025】

【実施例】図5に本発明の第1の実施例としてのLCDにおける基準電源回路の構成が示される。本実施例は図1の原理構成に対応するものである。図1との対比において、IG1は定電流源IGに対応し、DA1は階段波電圧発生源DAに対応している。定電流源IG1は、基準電源VPと、コレクタがオペアンプOP1Aの非反転入力端に接続されたPNP型トランジスタQ1と、該トランジスタのベースとグランドの間に接続された抵抗器RP1と、該トランジスタのエミッタと基準電源VPの間に接続された抵抗器RP2と、基準電源VPとトランジスタQ1のベースの間に逆方向に接続されたツェナダイオードZDとから構成されている。一方、階段波電圧発生源DA1は、画像データの低位ビットデータD1、D0をアナログ電圧に変換するD/A変換回路DACと、該D/A変換回路の出力にตอบสนองするボルテージフォロワとしてのオペアンプOPAとから構成されている。なお、このオペアンプは本質的に必要とするものではない。他の回路構成とその動作については、図1の場合と同様であるのでその説明は省略する。

【0026】この例では、定電流IBは $(VZ - VBE) / RP2$ により規定される。ただし、VZはツェナダイオードZDの逆耐圧電圧、VBEはトランジスタQ1のベース・エミッタ間の電圧を示す。図6に本発明の第2の実施例としての基準電源回路の構成が示される。本実施例も図1の原理構成に対応するものである。ただし第1の実施例との相違点は、発生させる複数の基準電圧のうち低電圧側に定電流源IG2を接続し、高電圧側に固定電圧と階段波電圧を加算する回路DA2を接続したことである。定電流源IG2は、基準電源VDと、該基準電源に非反転入力端が接続されたオペアンプOPCと、該オペアンプの出力端にベースが接続され且つ該オ

ペアンプの反転入力端にエミッタが接続されたNPN型トランジスタQ1Aと、該トランジスタのエミッタとグランドの間に接続された抵抗器RQ5とから構成されている。このようにオペアンプOPCを帰還回路に挿入することで、トランジスタQ1Aのベース・エミッタ間電圧(VBE)の影響を受けないという利点がある。一方、固定電圧と階段波電圧を加算する回路DA2は、画像データの低位ビットデータD1、D0をアナログ電圧に変換するD/A変換回路DACと、基準電源VCと、オペアンプOPBと、該オペアンプの非反転入力端と基準電源VCの間に接続された抵抗器RQ1と、該オペアンプの非反転入力端とD/A変換回路DACの出力端の間に接続された抵抗器RQ2と、該オペアンプの出力端と反転入力端の間に接続された抵抗器RQ3と、該抵抗器とグランドの間に接続された抵抗器RQ4とから構成されている。他の回路構成とその動作については、図5の場合と同様であるのでその説明は省略する。

【0027】図7に本発明の第3の実施例としての基準電源回路の構成が示される。本実施例は図3の原理構成に対応するものである。図3との対比において、A11は加算回路A1に対応し、A21は加算回路A2に対応している。加算回路A11は、非反転入力端が接地されたオペアンプOPDと、該オペアンプの反転入力端と負の基準電源-VFの間に接続された抵抗器RE1と、該オペアンプの反転入力端と階段波電圧発生源DAの出力端の間に接続された抵抗器RE2と、該オペアンプの反転入力端と出力端の間に接続された抵抗器RE3とから構成されている。同様に、加算回路A21は、非反転入力端が接地されたオペアンプOPEと、該オペアンプの反転入力端と階段波電圧発生源DAの出力端の間に接続された抵抗器RE4と、該オペアンプの反転入力端と負の基準電源-VFの間に接続された抵抗器RE5と、該オペアンプの反転入力端と出力端の間に接続された抵抗器RE6とから構成されている。他の回路構成とその動作については、図3の場合と同様であるのでその説明は省略する。

【0028】図8に本発明の第4の実施例としての基準電源回路の構成が示される。本実施例も図3の原理構成に対応するものである。ただし第3の実施例との相違点は、加算回路A12、A22がそれぞれ固定の基準電圧として正の電圧値を持つ基準電源VG、VHを使用していることである。このため、加算回路A12は、オペアンプOPFと、該オペアンプの非反転入力端と正の基準電源VGの間に接続された抵抗器RF1と、該オペアンプの非反転入力端と階段波電圧発生源DAの出力端の間に接続された抵抗器RF2と、該オペアンプの反転入力端と出力端の間に接続された抵抗器RF5と、該抵抗器とグランドの間に接続された抵抗器RF6とから構成されている。同様に、加算回路A22は、オペアンプOPGと、該オペアンプの非反転入力端と正の基準電源VH

の間に接続された抵抗器R F 3と、該オペアンプの非反転入力端と階段波電圧発生源D Aの出力端の間に接続された抵抗器R F 4と、該オペアンプの反転入力端と出力端の間に接続された抵抗器R F 7と、該抵抗器とグランドの間に接続された抵抗器R F 8とから構成されている。他の回路構成とその動作については、図7の場合と同様であるのでその説明は省略する。

【0029】上述した各実施例の構成によれば、従来形に比して少ない構成部品で目的とする機能、すなわち固定の基準電圧と階段波電圧を加算する機能を実現することができる。言い換えると、基準電源回路の構成を簡素化することが可能となり、これによってコストの低減と実装の小型化を図ることができる。

【0030】

【発明の効果】以上説明したように本発明によれば、多階調表示に適応されるLCDにおいて基準電源回路の構成を簡素化することが可能となり、それによってコストの低減と実装の小型化を達成することができる。

【図面の簡単な説明】

【図1】本発明の一形態による液晶表示装置の基準電源回路の原理構成図である。

【図2】図1の回路の動作タイミング図である。

【図3】本発明の他の形態による液晶表示装置の基準電源回路の原理構成図である。

【図4】図3の回路の動作タイミング図である。

【図5】本発明の第1の実施例としての基準電源回路の構成図である。

【図6】本発明の第2の実施例としての基準電源回路の

構成図である。

【図7】本発明の第3の実施例としての基準電源回路の構成図である。

【図8】本発明の第4の実施例としての基準電源回路の構成図である。

【図9】従来形の一例としてのLCDの構成図である。

【図10】図9の要部の構成図である。

【図11】従来形の他の例としてのLCDの構成図である。

【図12】図11の要部の構成図である。

【図13】図12の回路の動作タイミング図である。

【図14】従来形の一例としての基準電源回路の構成図である。

【図15】従来形の他の例としての基準電源回路の構成図である。

【符号の説明】

A 1, A 2…加算手段（加算回路）

R 1 A～R 3 A, R 1 B～R 3 B…抵抗器（抵抗ストリング）

D A…階段波電圧発生源

I G…定電流源

I B…定電流源から供給される定電流

O P 1 A～O P 4 A, O P 1 B～O P 4 B…オペアンプ

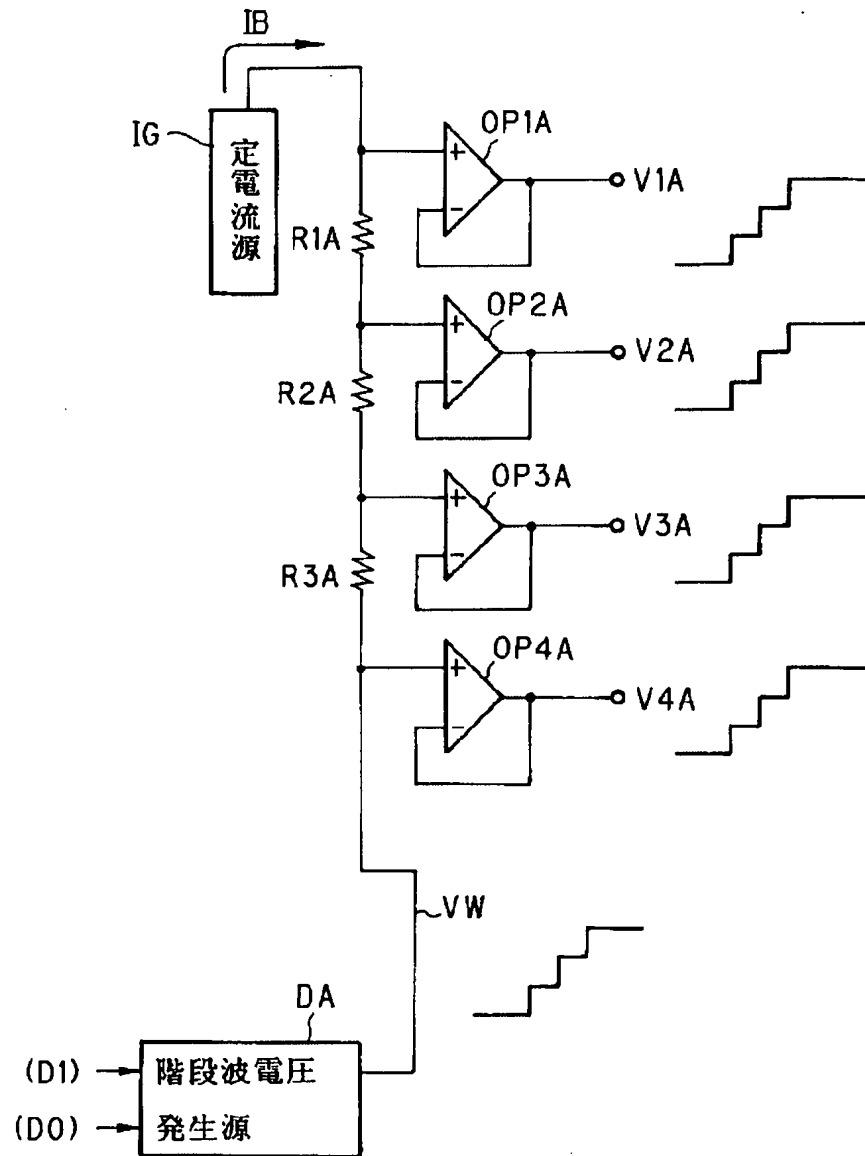
V 1 A～V 4 A, V 1 B～V 4 B…基準電源回路から発生される基準電圧

V W…階段波電圧発生源から発生される階段波電圧

V R A, V R B…基準電圧

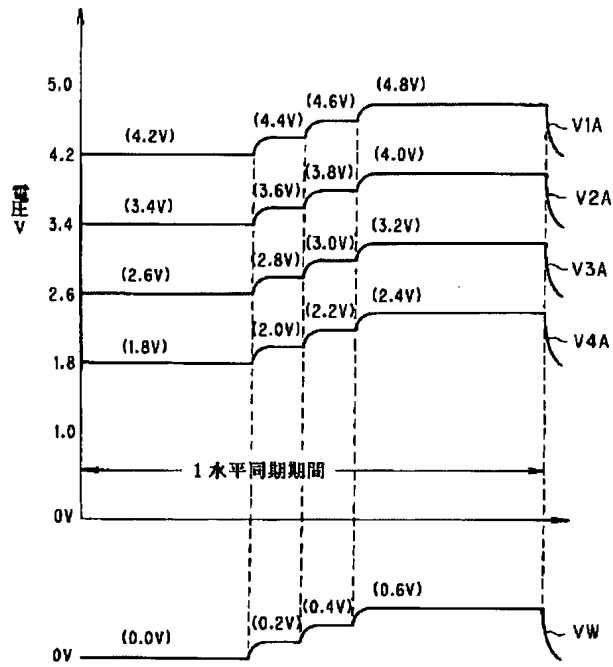
【図1】

本発明の一形態による液晶表示装置の基準電源回路の原理構成図



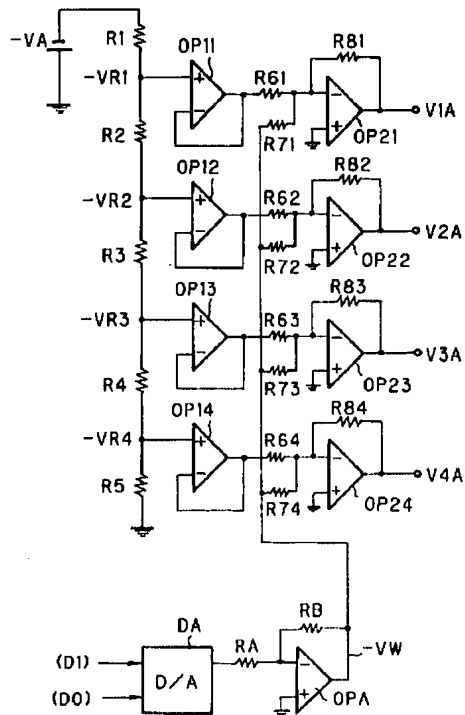
【図2】

図1の回路の動作タイミング図



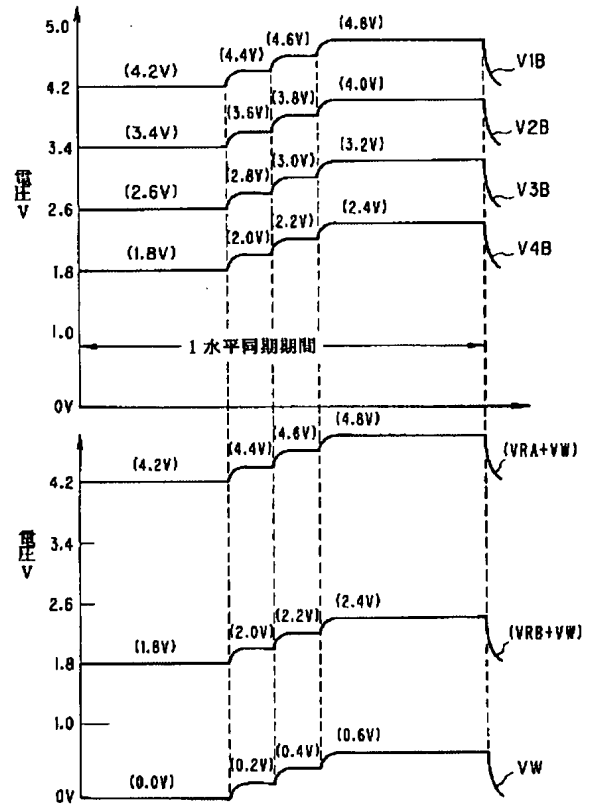
【図14】

従来形の一例としての基準電源回路の構成図



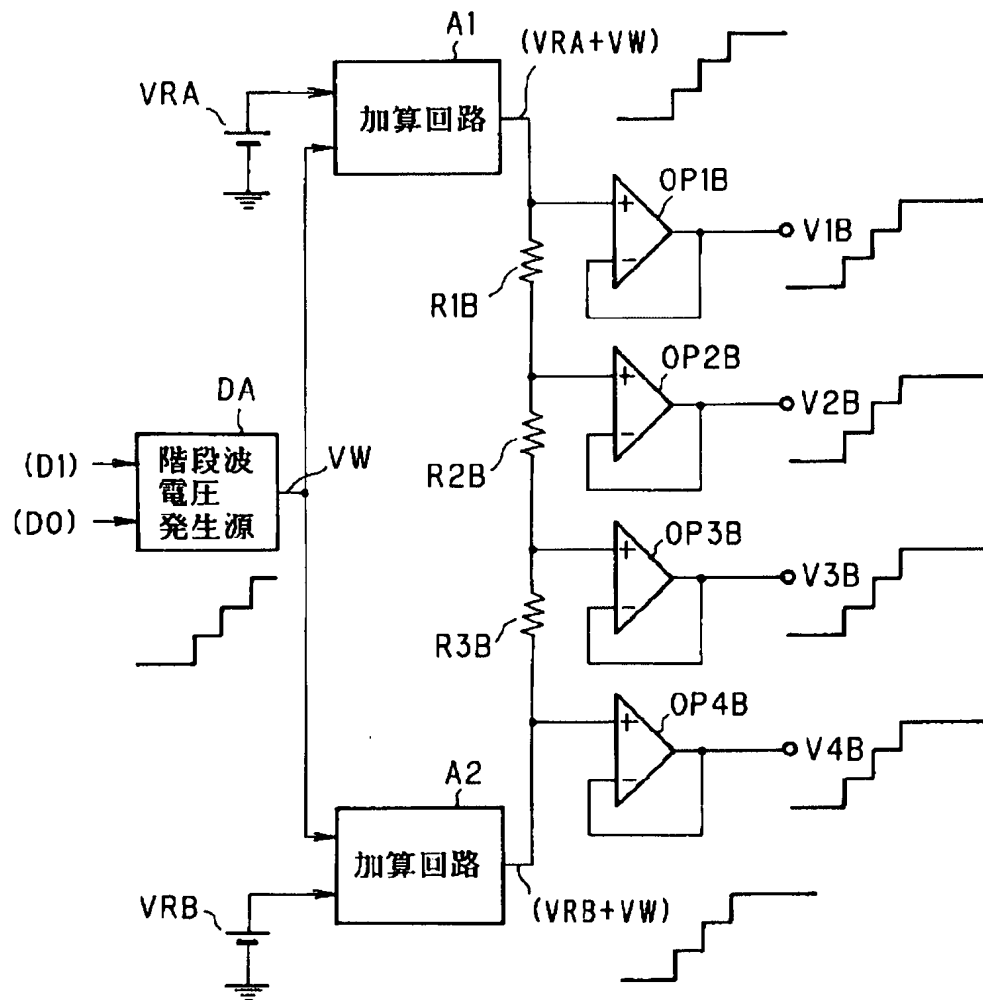
【図4】

図3の回路の動作タイミング図



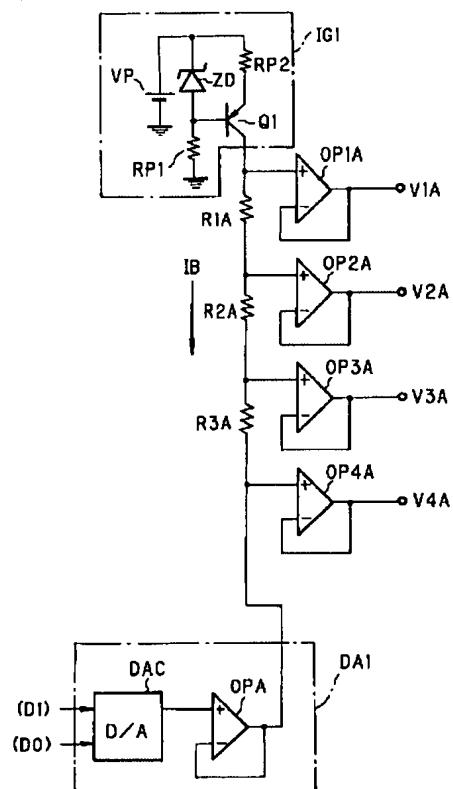
【図 3】

本発明の他の形態による液晶表示装置の基準電源回路の原理構成図



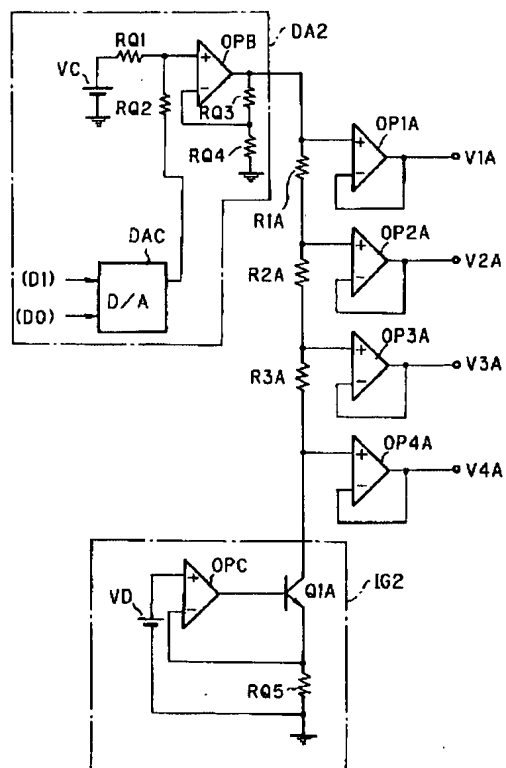
【図5】

本発明の第1の実施例としての基準電源回路の構成図



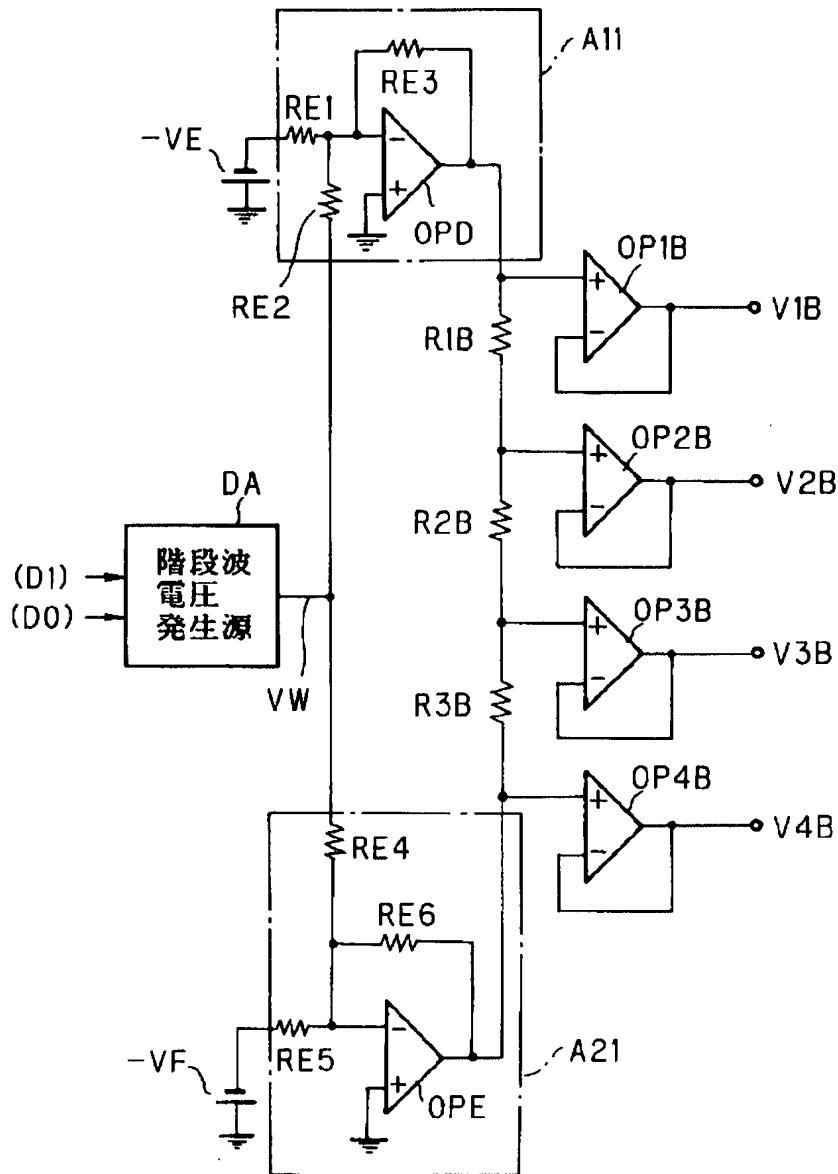
【図6】

本発明の第2の実施例としての基準電源回路の構成図



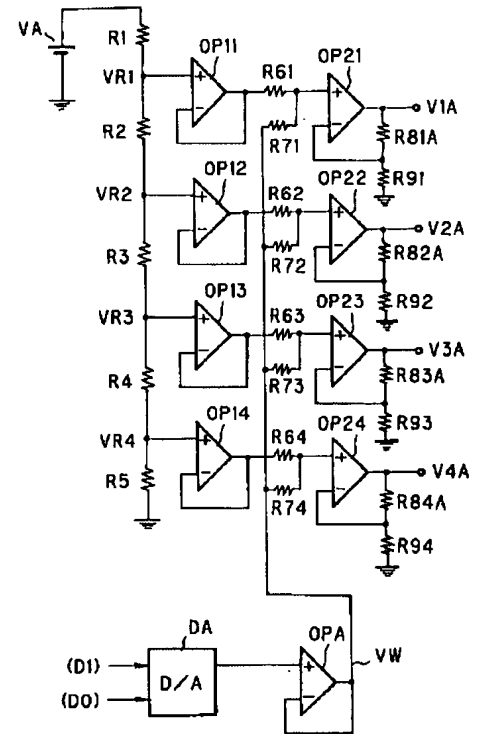
【図 7】

本発明の第 3 の実施例としての基準電源回路の構成図



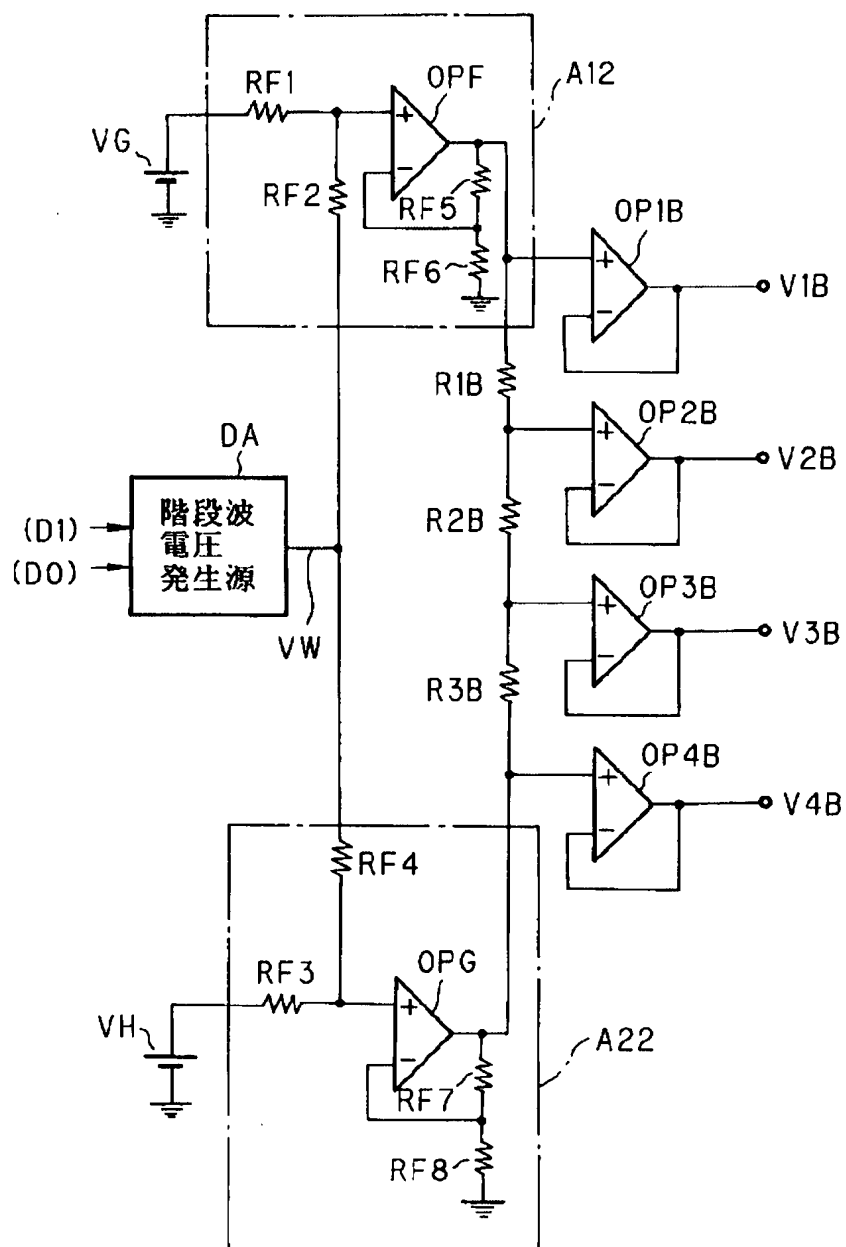
【図 15】

従来形の他の例としての基準電源回路の構成図



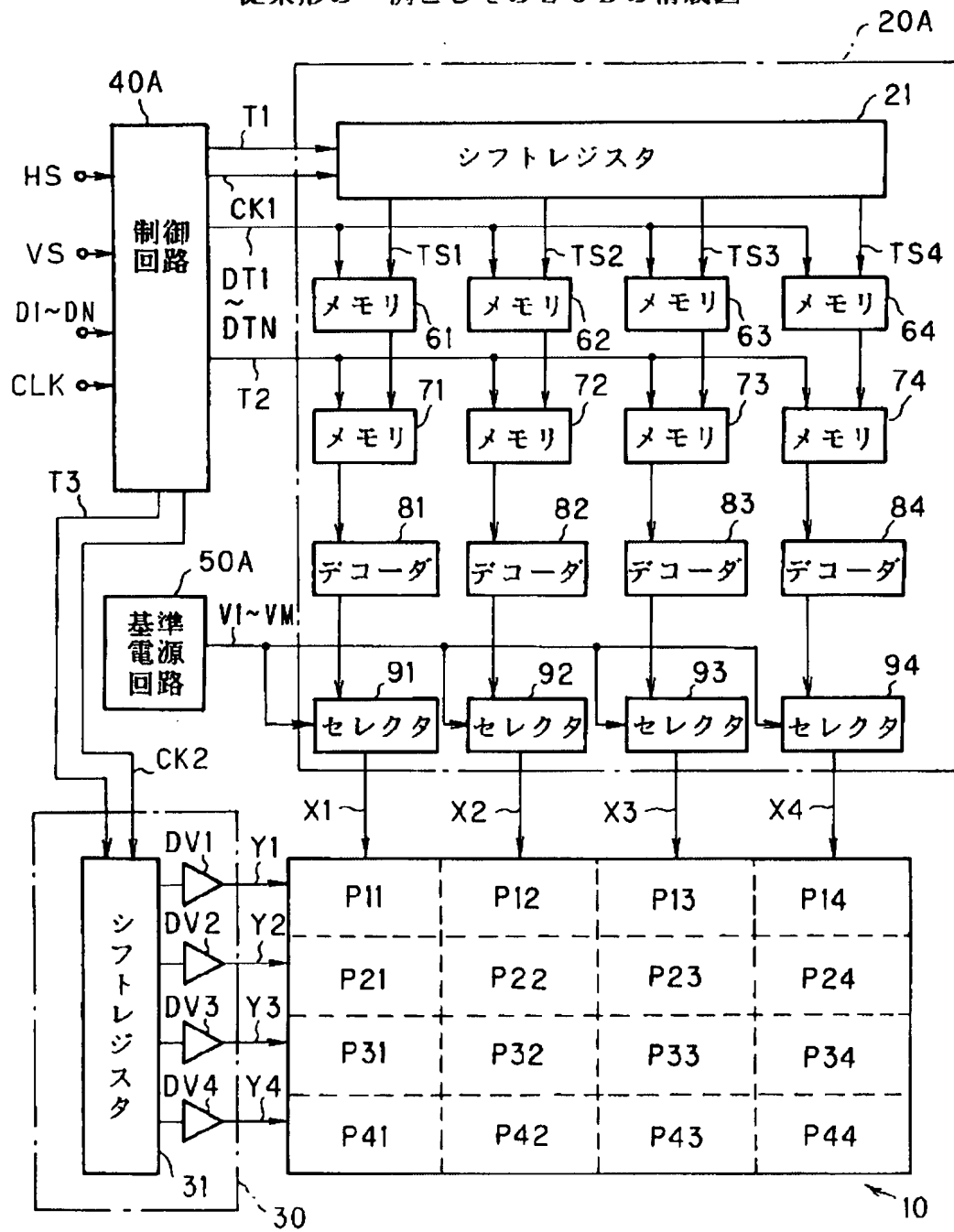
【図 8】

本発明の第 4 の実施例としての基準電源回路の構成図



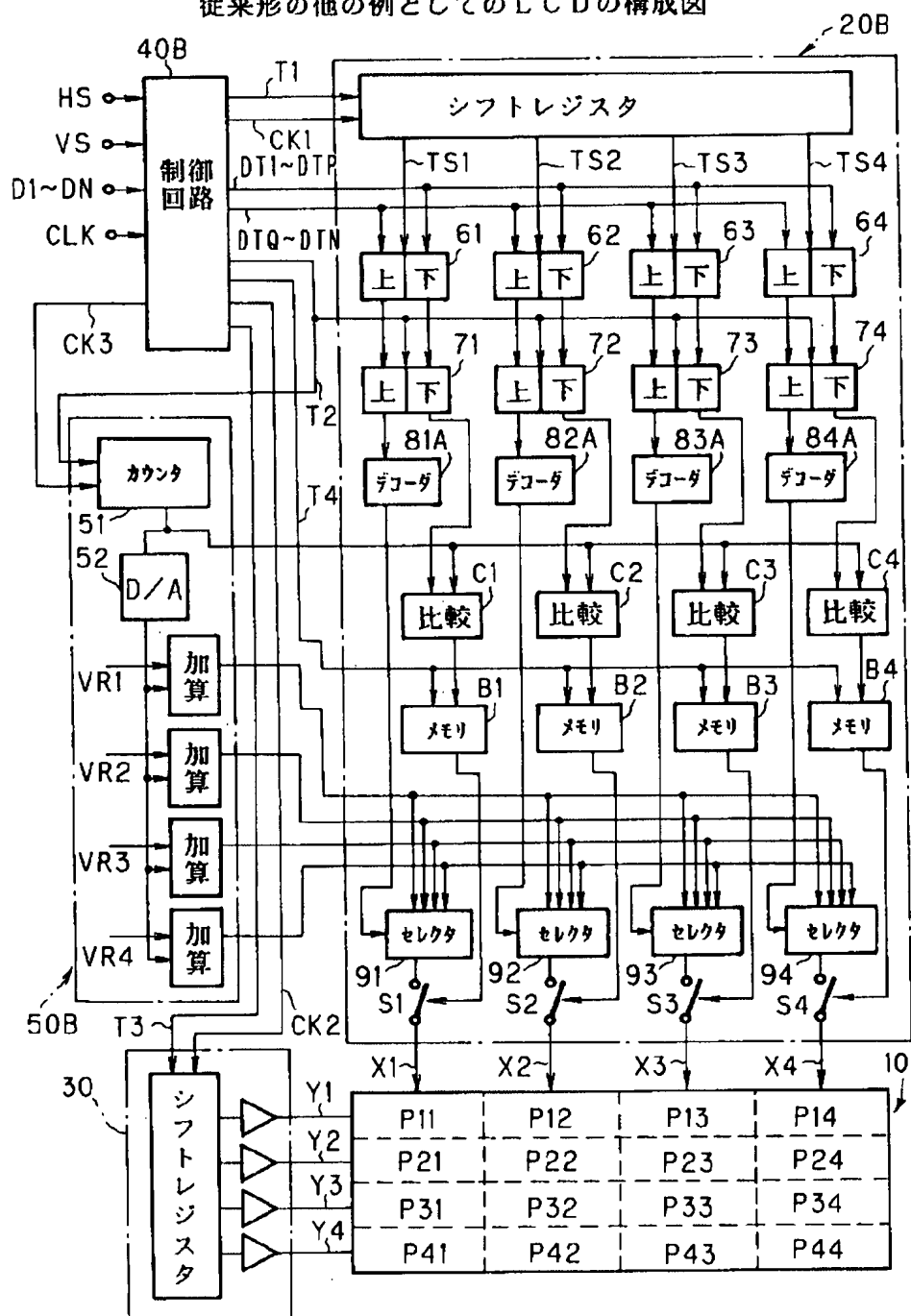
【図9】

従来形の一例としてのLCDの構成図



【図11】

従来形の他の例としてのLCDの構成図



【図12】

図11の要部の構成図

